

Markt&Technik-Forum, Teil 3: Structured ASICs

65 nm für Structured ASIC – ist das sinnvoll?

Was für Standardzellen gilt, gilt nicht in der gleichen Weise für die Structured ASICs. Auch wenn diese ASIC-Typen auf den Standardzellen-Technologien basieren, nutzen die Hersteller meist noch ältere Fertigungsprozesse für die Structured ASICs.



Armin Derpmanns,
Toshiba Electronics

»Es wird in 65 nm nicht mehr viele Designs geben, und da muss man sich schon fragen, ob Structured ASICs mit diesen Technologien überhaupt noch Sinn machen?«

Toshiba Electronics positioniert sich mit seinen technologisch etwas anders gearteten Universal Arrays leistungsmäßig knapp unter der Standardzelle. Deshalb erklärt auch Armin Derpmanns, General Manager ASIC & SoC Business Unit bei Toshiba Electronics, dass Toshiba keine große Zeitverzögerung zwischen der Technologieeinführung für die Standardzelle und dem Universal Array erwartet. »Wir produzieren bereits mit 65-nm-Strukturen, deshalb ist es kein Problem, diese Technologie auch für unsere Universal Arrays anzubieten«, erklärt Derpmanns. Allerdings müsse sich jeder Hersteller fragen, ob es kommerziell überhaupt Sinn macht, den nächsten Technolo-

gieschritt für diese Produkte zu vollziehen? Denn wie es aussieht, wird die Anzahl derer, die 65-nm-Strukturen brauchen immer kleiner.

Für Derpmanns liegen die Probleme mit 65 nm aber noch auf einer ganz anderen Ebene: Der Hersteller will nicht nur 65-nm-Designs entwickeln, er will sie auch profitabel produzieren können. Derpmanns: »Das wird immer wieder vernachlässigt.« In diesem Zusammenhang spielen die EDA-Unternehmen eine entscheidende Rolle, denn sie stellen die Entwicklungsumgebung zur Verfügung, um ein Design ins Tape-out überzuführen. »Die Design-Tools sehen wir bei 90 und 65 nm als die größten Hürde an, die noch hinzukommt«, so Derpmanns.

Dass diese Bedenken nicht unberechtigt sind, zeigt die Geschichte. Denn was passiert, wenn die Lücke zwischen Technologie und EDA-Tools zu groß wird, hat spätestens der Schritt auf 90-nm-Strukturen gezeigt.

Ein weiteres Problem bei 65-nm-Designs besteht für Derpmanns in der geringen Design-Produktivität, darüber würden die meisten Kunden klagen. Die Kunden könnten ihre Entwicklungs-Ressourcen nicht aufstocken, also benötigen sie Tools, mit denen sie mehr Tape-outs in der gleichen Zeit machen können. Derpmanns: »Es fehlt an Tools, die die Design-Zeit um die Hälfte reduzieren; die Design-Produktivität ist noch nicht gewährleistet.« Die Halbleiterher-

steller würden ihren Teil dazu beitragen, indem sie die Turnaround-Zeiten verkürzen, die Kosten senken und die Flexibilität erhöhen. Den Rest müsse die EDA-Industrie erledigen.

Außerdem würde sich der Kunde sehr wohl überlegen, welchem Hersteller er die Fertigung von solchen ICs überhaupt noch zutraut. Derpmanns: »Seit der Einführung der 90-nm-Technologie wechseln wieder viele Kunden von reinen Foundries zu uns als Foundry-Dienstleister. In vielen Bereichen sind wir mittlerweile eine ernsthafte Konkurrenz zu den Foundries.« Denn ein IDM (Integrated Device Manufacturer) verfüge über alle Disziplinen im eigenen Haus. Er weiß, wie der Chip designet werden muss, damit er testbar und mit der entsprechenden Ausbeute produzierbar ist. Derpmanns ist der Überzeugung, dass gerade dieser Vorteil der IDMs mit kleiner werdenden Strukturen immer stärker zum Tragen kommt. Und dem stimmt Schmitt zu: Nur wer seinen Prozess selbst entwickelt und damit auch genau kennt, kann an dessen Grenzen herantreten. (st) ■