

# Aufholjagd

Asic oder FPGA: Diese Frage stellen sich Chip-Entwickler seit Jahren. Die Schere bei den Entwicklungskosten öffnet sich immer weiter, während FPGA bei Stromverbrauch und Gatterzahl aufholen. Das Journal hat sich bei den Experten erkundigt, um den aktuellen Stand in diesem Technologie-Wettrennen zu erfahren.

## Die Fragen



- ❶ Sind die Tage des Asic bald gezählt?
- ❷ Wie stark können FPGA beim Energiebedarf und Stückkosten noch aufholen?
- ❸ Werden frei verfügbare IP-Cores den FPGA weiteren Auftrieb geben?

**i** infoDIREKT  
 www.elektronikjournal.de 508ejl0609  
 Link zu Silicon Blue, Lattice, Xilinx, Toshiba  
 und MSC



„Nur mit Anpassung an Kundenbedürfnisse kann das Asic-Modell überleben“:  
 Eugen Pfumfel verantwortet das Asic & Foundry Biz Development bei Toshiba Electronics in Düsseldorf

❶ Das klassische Asic-Modell wird dem heutigen Bedarf an Flexibilität kaum noch gerecht. Viele OEM haben ihre Chip-Design-Kompetenz aus Kostengründen ausgegliedert und beziehen ASSP von kleinen Fabless Chip Companies, die ihre Entwicklung primär per Risikokapital finanzieren. Traditionell arbeitet diese Industrie mit vielen Lieferanten (Foundries, IP-Design, EDA, Package, Test). Auch hier zwingen Komplexität und Kosten zum Umdenken. Toshiba bietet neben der Wahl zwischen Asic oder Foundry flexible Zwischenlösungen. So können Kunden ihre Mixed-Signal-Cores an Toshiba übergeben. Der Kunde spart teure digitale Back-End-Tools und behält trotzdem seine Mixed-Signal-Cores als Unterscheidungsmerkmal.

❷ Der Energiebedarf neuer Asic-Technologien verschiebt sich von der dynamischen Stromaufnahme zu Leckströmen. Asic-Lösungen können dem durch exakte Anpassung gerecht werden, etwa durch ausschaltbare Power-Domains und flexible Frequenzskalierung. Ähnliche Probleme stellen sich den FPGA, ihr Energiebedarf ist aber weit weniger flexibel anpassbar. Asic-Stückkosten sind niedriger als bei FPGA, da sie keinen Overhead enthalten. Natürlich sind die Entwicklungskosten nur durch höhere Stückzahlen amortisierbar.

❸ Synthetisierbare IP-Cores werden schon lange in Asics implementiert, egal ob sie vom Asic-Anbieter, dem Kunden oder einem IP-Designhaus kommen. Komplexer sind prozessabhängige Mixed-Signal-IP-Cores. Hier kann ein Asic-Anbieter mit eigener Wafer-Fertigung wie Toshiba nicht nur Silicon Proven Cores anbieten, sondern auch die Massenproduktionsfähigkeit garantieren.