

Monolithische Integration – nur dort wo es Sinn macht

SiP – eine Ergänzung zu SoC

Die Zeiten, in denen eine monolithische Integration als der einzig gangbare Weg für eine hohe Integrationsdichte angesehen wurde, sind vorbei. System-in-Package-Ansätze (SiP) kommen dort zum Einsatz, wo SoCs schwierig oder gar nicht zu realisieren sind.

»Ein SiP ermöglicht die einfache Integration von Komponenten in einem Produkt, die mit verschiedenen, nicht-kompatiblen Prozesstechnologien gefertigt wurden. Dadurch ist das Entwicklungsrisiko geringer als bei einer monolithischen Lösung«, erklärt Rainer Käse, Senior Manager Custom SoC Unit bei Toshiba Electronics. So ließen sich bei diesem Ansatz die unterschiedlichsten Dies in einem Produkt integrieren, egal ob sie mit Speicher-, Logik-Prozessen, CMOS/Bipolar/Bi-CMOS-Analog- oder HF-Prozessen gefertigt wurden. Käse erklärt

weiter: »Das ist bei einer monolithischen Integration – also einem SoC-Ansatz – oft technisch gar nicht möglich.« In vielen Fällen ist die monolithische Integration also gar keine Alternative zum SiP, oder nur mit unverhältnismäßig hohem Aufwand und/oder Risiko zu realisieren.

In manchen Fällen ist ein SiP auch nur der Zwischenschritt auf dem Wege zum SoC. Als Beispiel dafür greift Käse auf die drahtlose Kommunikation zurück: Hier wird ein Produkt zunächst als Chip-Satz, bestehend aus Basisband und RF-Frontend, realisiert.

Wenn der Markt es verlangt, erfolgt im nächsten Schritt die Integration des RF-Frontend-Dies und des Basisband-Dies in einem Gehäuse zu einem SiP. Und im letzten Schritt – wiederum in Abhängigkeit von den Marktgegebenheiten und unter der Voraussetzung, dass es technisch möglich ist – erfolgt die monolithische Integration zu einem SoC.

i Was einfach klingt, bedarf guter Vorbereitungen

SiP-Entwicklung

Laut Rainer Käse, Senior Manager Custom SoC Unit bei Toshiba Electronics, wurde bislang bei einer SiP-Lösung die Machbarkeitsuntersuchung, das Design und die Verifikation der Komponenten – die einzelnen Chips, das Package-Substrat, das Bonding, die Testbarkeit etc. – weitestgehend unabhängig voneinander durchgeführt. Die bestehende Abhängigkeit voneinander wurde durch eine sequentielle Abarbeitung berücksichtigt.

Das brachte laut seiner Aussage aber folgende Probleme mit sich:

- die Lösung ist nicht optimiert,
- der Entwicklungsprozess dauert sehr lang,
- es besteht ein erhöhtes Risiko, weil die Einzelkomponenten erst nach Fertigung der SiP-Muster im Zusammenspiel verifiziert werden können.

Käse: »Weil sich gleichzeitig die Komplexität und die Geschwindigkeitsanforderungen der physikalischen Schnittstellen der einzelnen SiP-Komponenten erhöhen, müssen die beschriebenen Probleme bei der SiP-Entwicklung durch einen neuen Ansatz gelöst werden.« Deshalb stellt Toshiba eine »Chip-Package System Co-Design«-Entwicklungsumgebung bereit, bei der schon in der Machbarkeitsstudie

ein »Virtueller Prototyp« des SiPs, inklusive Pad-Layout der Dies und des Substrats, parallel entworfen und optimiert wird. Dann folgt eine parallele Designphase und eine parallele Verifikation, bei der auch Effekte wie Signalqualität auf den Schnittstellen, Qualität der Stromversorgung, Verlustleistung und thermische Performance des Gesamtsystems verifiziert werden. »Durch die konsequente Anwendung des Chip-Package System Co-Designs konnten wir in Zusammenarbeit mit unseren Kunden die Qualität und Konkurrenzfähigkeit der SiP-Produkte verbessern, die Entwicklungszeit signifikant verringern und das Risiko sowie die Stückkosten minimieren«, sagt Käse.

Dem Anwender sollte vollkommen egal sein, welcher Ansatz gewählt wird, um seine gewünschte Lösung zu realisieren. Dennoch sehen die Anbieter eine unterschiedliche Akzeptanz im Markt. So vertritt beispielsweise Käse die Auffassung, dass der SiP-Ansatz für »Mobile/Handheld«-Applikationen aufgrund der hohen Miniaturisierung speziell für die Inte-

130-, 90- und 65-nm-Strukturen anbietet«, so Käse weiter.

Anders sieht es laut seiner Aussage bei der digitalen Bildverarbeitung aus. Hier hat sich ein SiP-Ansatz für die Integration von Logik- und Speicher-Dies bisher noch nicht durchgesetzt. Aber hier herrscht auch kein Zwang zur Miniaturisierung und auch die Verlustleistung ist nicht so kritisch. Dementsprechend integriert Toshiba für solche Anwendungen Speicherblöcke in der Größenordnung 32 bis 64 MBit monolithisch. Käse: »Hier bietet Toshiba mit seiner embedded DRAM-Technologie in 130-, 90- und 65-nm-Strukturen einen großen Vorteil für die Systemarchitektur, da auf diese integrierten DRAM Blöcke mit sehr hoher Bandbreite zugegriffen werden kann.« Allerdings geht Käse davon aus, dass es auch in diesem Bereich in Zukunft öfter zu einer

Integration von verschiedenen Speicher-Dies (SRAM, DRAM, Flash) heute schon sehr verbreitet ist. Darüberhinaus bestünde dort aber mittlerweile auch der Trend, komplexe Logik-Dies mit einem oder mehreren Speicher-Dies in ein Gehäuse zu setzen.

Im Bereich der drahtlosen und drahtgebundenen Datenkommunikation kommt es zur Integra-

tion von SiP-Integration kommt. Antriebsfaktor ist in dem Fall der Bedarf an größeren Speicherkapazitäten wie beispielsweise 256 bis 512 MBit für HDTV-Anwendungen.

SiPs sind auch in Sonderfällen wie der Sensorintegration der bevorzugte Ansatz. Hier liegt die Motivation laut Käse darin, die Elektronik (digitale Logik, analog Frontend und Speicher) in das Sensorgehäuse zu integrieren. »Vielfältige Vorteile kompensieren das Kostenproblem«, so Käse weiter. Auch der Schutz des geistigen Eigentums (IP-Integration) gegenüber Produktpiraterie und Reverse-Engineering könne eine SiP-Integration notwendig machen. Allerdings fügt hier Käse noch hinzu: »In diesem Fall ist aber ein SoC-Ansatz als sicherer gegenüber einem SiP-Ansatz einzustufen.«

Laut Käse spielt die SiP-Integration dann keine Rolle, wenn die Funktionen durch kostengünstige Standardprodukte abgedeckt werden können. Als Beispiele nennt er die Kombination von Ethernet-PHY und HDMI-Transceiver, auch wenn er einschränkt, dass es hier immer wieder Ansätze gäbe. Käse: »Hier mag eine monolithische Integration Sinn machen, vorausgesetzt

tion von digitalem Baseband-Die und Analog/RF-Frontend-Die in einem Gehäuse. »Hier ist aber in Zukunft mehr mit einer monolithischen Integration zu rechnen. Das gilt speziell für drahtlose Kommunikation, wo Toshiba RF-CMOS-Prozesse und Design-Kits für die monolithische Integration von komplexen Baseband- und RF-Frontend-Funktionen auf ▶

sie ist technisch möglich und kommerziell attraktiv.«

System-in-Package

Vor- und Nachteile

Wann macht es Sinn, ein SiP statt ein SoC zu wählen? Welche Vor- beziehungsweise Nachteile weist solch ein Ansatz auf? Gibt es eine gültige Regel, nach der entschieden werden kann, ob ein SiP die bessere Lösung im Vergleich zu einem SoC ist?



Rainer Käse, Toshiba Electronics

» Der größte Vorteil von SiPs besteht in der Flexibilität bei der Auswahl der Prozesstechnologie der einzelnen Dies. «

Auch für Rainer Käse, Senior Manager Custom SoC Unit bei Toshiba Electronics, sind die Wiederverwendung von verfügbaren IPs und damit kürzere Entwicklungszeit bei geringerem Entwicklungsrisiko als Vorteile für SiPs zu nennen. Dabei verringere sich auch das Risiko in der Entwicklung, da jeder Die für sich entwickelt, optimiert und verifiziert werden kann.

Allerdings tragen sich seiner Meinung nach die Entwicklungs-

kosten für ein SiP erst bei großen Stückzahlen. Hinzu kommt noch, dass die Stückkosten eines SiPs typischerweise höher als die eines monolithischen SoCs sind, bisweilen sogar höher als bei einer diskreten Lösung. Käse für aber hinzu: »Hier stellt sich immer die Frage der Fertigungs- und Testkosten und der Beschaffung von diskreten Produkten, die bei den reinen Bauteilekosten nicht berücksichtigt werden.«

Seiner Meinung nach sollte auch der logistische Aufwand und das Risiko bei der Beschaffung der Komponenten eines SiPs nicht unterschätzt werden. Das gelte be-

sonders, wenn die einzelnen Komponenten von verschiedenen Herstellern gefertigt werden. Käse: »Bei der monolithischen Integration ist nur eine Wafer-Fab beteiligt, was die Logistik einfach macht. Bei SiP müssen mehrere Wafer-Fabs koordiniert werden. Der Aufwand und das Risiko durch Prozess- und Produktänderungen und Abkündigungen, und die zusätzliche Komplexität beim Produktionstest, der Qualifikation und Fehleranalyse sind offensichtlich, werden allerdings allzu oft in der enthusiastischen Planungsphase einer SiP-Lösung nicht ausreichend berücksichtigt.« Hier re-

duziere Toshibas Ansatz als »Open and advanced Integrated Device Manufacturer« mit verschiedenen Prozesstechnologien und Package- und Testkapazitäten innerhalb einer Organisation viele dieser Komplexitäten und Risiken für den Endkunden auf ein Minimum.

TOSHIBA

Leading Innovation >>>



ASIC & Foundry

Moderne CMOS-Technologie für ASIC & Foundry
Geschäftsmodelle, mit umfassendem Supply Chain Management



www.toshiba-components.com/ASIC

- Neueste CMOS-Technologie durch eigene Prozessentwicklung
- Anwendungsspezifische System-on-Chip (SoC)-Entwicklung mit einem vielfältigen Intellectual-Property (IP) Angebot
- Lokales Know-how & lokaler Support aus dem Europäischen LSI Design & Engineering Centre (ELDEC)
- Kurze Entwicklungszeiten für einen schnellen Markteintritt
- Flexibles Plattformkonzept für System-on-Chip (SoC)
- Flexible Geschäftsmodelle für ASIC & Foundry