

Lösungsansätze für die Entwicklung von Mixed-Signal-SoCs

Rainer Käse und Eugen Pfumfel, Toshiba Electronics Europe

Die moderne System-on-Chip-Entwicklung stellt hohe Anforderungen an die Mixed-Signal-IP. Im Folgenden werden einige der Herausforderungen behandelt, denen sich Chip-Designer gegenübersehen.

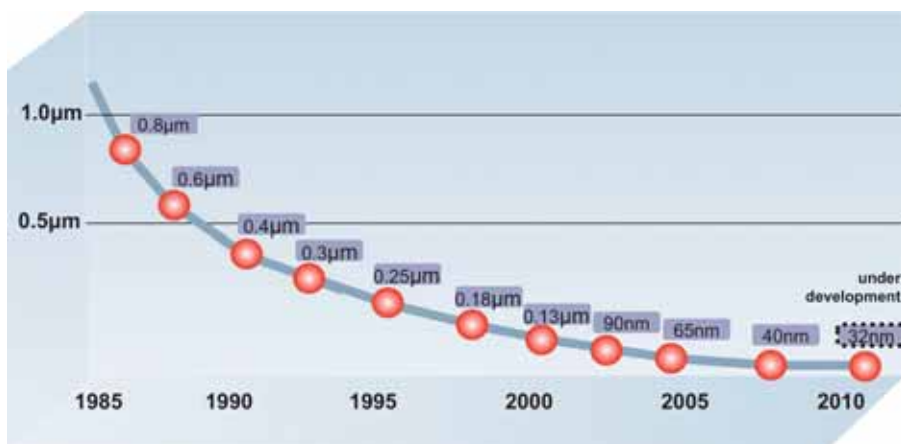


Bild 1. Roadmap für die CMOS-SoC-Prozesstechnologie

Im selben Maße, wie sich CMOS-Prozesstechnologien weiterentwickeln, entstehen auch neue Möglichkeiten zur Entwicklung integrierter SoCs, die immer größere Bereiche globaler Systemanforderungen erfüllen. Kein System ist vollständig digital. Deshalb besteht ein wachsender Bedarf, Core-Processing-Funktionen mit der realen Welt über analoge und Mixed-Signal-IP-Blöcke zu verknüpfen. Um die mit der Integration solcher Blöcke in das SoC-Design verbundenen Risiken zu vermeiden, muss eine ganze Reihe von Faktoren beachtet werden.

SoC-Prozesstechnologien

Eine der zentralen Entscheidungen bei der SoC-Entwicklung ist die Auswahl der verwendeten Prozesstechnologie. In den meisten derzeit üblichen CMOS-Prozessen werden 130-, 90- und 65-nm-Strukturen gefertigt. Aber auch weitere Technologien mit Strukturen zwischen 180 nm und 800 nm sind für heutige Designs verfügbar, wie in **Bild 1** dargestellt. Wie man dieser Roadmap ebenfalls entnehmen kann, sind die Entwicklung von 40-nm-Prozessen sowie die Grundlagenforschung für ein 32-nm-Design bereits im Gange.

Für den Designer gilt es in erster Linie, einen Prozess auszuwählen, der die spezifischen

Anforderungen der jeweiligen Zielapplikation bestmöglich erfüllt. Die Anforderungen hinsichtlich Leistung, Größe und Energiebedarf von Anwendungen für die Verbraucher- und Massenmärkte der nächsten Generation wie Mobiltelefone und tragbare Multimedia-Player lassen sich möglicherweise nur durch die hohe Dichte und die geringe Energieaufnahme der 65-nm-Strukturen erfüllen. Für ein SoC, das nur auf wenigen Kanälen PCI-Express-Signale mit 2,5 GBit/s verarbeitet, könnte jedoch der kostengünstigere 90-nm-Prozess besser geeignet sein.

Digitale Prozesse

Im Zentrum jeder SoC-Lösung steht ein Digitalprozessor. Welche Typen von digitalen Prozessorkernen für eine bestimmte Prozesstechnologie erhältlich sind, ist für den Designer ebenfalls von entscheidender Wichtigkeit. Beispielsweise gewinnt die Lizenzierung von ARM-Technologie sowie die Bereitstellung synthetisierbarer ARM-Cores für Unternehmen, die ASIC-Entwicklung und Foundry-Services anbieten, zunehmend an Bedeutung. Zu den neuesten ARM-Prozessorkernen zählen der ARM Cortex-A9MP und der ARM Cortex-R4F. Der ARM Cortex-A9MP ist optimal für Smartphones und andere mobile Konsumergeräte geeignet. Er kombiniert die Cortex-Application-Class-Architektur mit

Multiprocessing-Fähigkeiten für eine skalierbare Leistungsfähigkeit. Der Cortex-R4F läuft mit Taktraten von bis zu 400 MHz und bietet mehr Leistungsfähigkeit als andere Prozessoren mit ähnlicher Die-Größe. Er zielt auf Embedded-Applikationen in hoher Stückzahl ab, z. B. auf Computer-Peripherie, Embedded-Echtzeitsysteme und Wireless-Modems. Dabei gilt zu beachten, dass die optimale Leistungsfähigkeit des Digitalprozessors eng mit der Verfügbarkeit geeigneter Embedded-Speicher verknüpft ist. Für jede ASIC-Technologie von Toshiba gibt es beispielsweise eine Auswahl unterschiedlicher SRAM-, Registerfile- und ROM-Architekturen. Jede dieser Architekturen ist für verschiedene Anforderungen spezifischer Applikationen optimiert wie beispielsweise hohe Dichte, hohe Geschwindigkeit, geringe Energieaufnahme, Effizienz für kleine Blöcke, Effizienz für große Blöcke sowie Single-, Dual- und Multiport-Zugriff.

Mixed-Signal-IP

In zunehmendem Maße müssen digitale Core-Processing-Funktionen mit Hilfe immer komplexerer Chip-Designs mit der realen Welt verknüpft werden. Der Designer muss sich deshalb überlegen, wie die Digital-zu-Analog-/Analog-zu-Digital- und Seriell-zu-Parallel-/Parallel-zu-Seriell-Elemente der Lö-

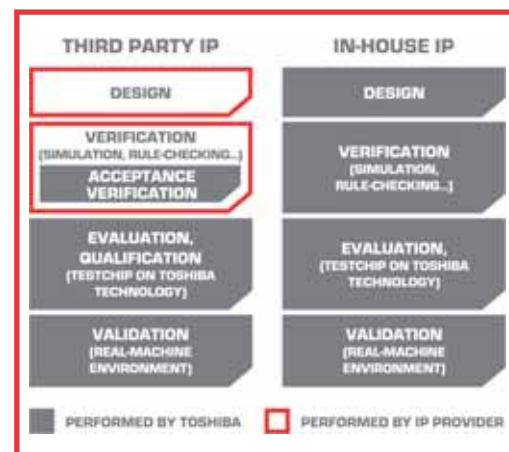
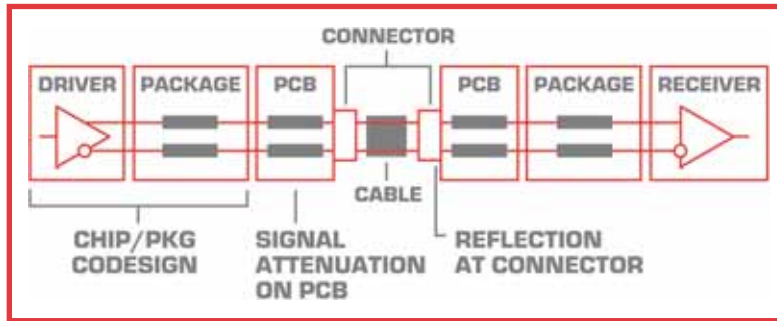


Bild 2. IP-Verifizierungsprozess

Bild 3.
Signal-
qualitäts-
prüfung
auf Sys-
temebene



es darum geht, strenge Spezifikationen und knappe Prozess-/Produktionsfenster einzuhalten. IP für ADCs, DACs und PLLs erfordert beispielsweise die Optimierung vieler Parameter, während die Vielzahl von Standards und potenziellen Konfigurationen bei einer SerDes-Implementierung dazu führt, dass nahezu immer Anpassungen erforderlich sind.

Anbietermodell für erfolgreiche IP-Entwicklung und -Integration

sung am besten implementiert werden können. Diese Elemente von Grund auf selbst zu entwickeln rückt dabei immer mehr in den Hintergrund. Vielmehr hängt die erfolgreiche Entwicklung effektiver und effizienter SoCs von der Beschaffung qualitativ hochwertiger und stabiler analoger bzw. Mixed-Signal-IP (Intellectual Property) ab.

Dieses Modell birgt jedoch einige Risiken. Der SoC-Designer muss unbedingt einschätzen, wie einfach die tatsächliche Integration der IP in das Zieldesign sein wird und wie hoch die Wahrscheinlichkeit ist, dass alles gleich im ersten Anlauf funktioniert. Angesichts kurzer Time-to-Market-Zeitfenster und knapper Budgets besteht das Hauptziel darin, sowohl

technische als auch kommerzielle Risiken zu minimieren, die durch verlängerte Turn-Around-Time (TAT) und Silizium-Re-Spins entstehen, falls die IP das First-Time-Right-Ziel nicht erreicht. Ein wichtiger Faktor ist hierbei die eindeutige Formulierung von Zuständigkeiten, d. h. welcher der Anbieter (IP-Anbieter oder Foundry) die Verantwortung für ein Problem sowie den nötigen Support für dessen schnelle Behebung übernimmt.

Für die schnelle Integration standardmäßiger Konnektivitätsblöcke in ein SoC kann die IP von unabhängigen Anbietern bestens geeignet sein – zumindest bis zur funktionalen Prüfung. Die Beschränkungen dieser Vorgehensweise zeigen sich jedoch, sobald

Angesichts der Einschränkungen, die eine Nutzung von IP von Drittanbietern mit sich bringt, sind Unternehmen, die hochentwickelte SoCs entwickeln möchten, auf der Suche nach alternativen Anbietermodellen, die ihren Design- und Entwicklungsanforderungen besser gerecht werden. Eines dieser Modelle ist das des Integrated Device Manufacturers (IDM). Beim IDM-Modell bietet der Anbieter dem Kunden volle SoC-Kompetenz – von IP-Entwicklung und Support bis hin zur Halbleiterfertigung. So haben es die Kunden immer nur mit einem einzelnen Unternehmen zu tun, von der ersten IP-Beschaffung über das Design und die Testphase bis zur Fertigung. Ein wichtiges Element eines erfolgreichen IDM-Modells ist eine Strategie,

die auf die Verfügbarkeit von Mixed-Signal-IP ausgerichtet ist. Dieses Element wird in Toshiba's IP-Strategie umgesetzt, die speziell darauf ausgerichtet ist, die Risiken für den Kunden zu minimieren.

IP-Strategie zur Minimierung der Risiken

Ziel dieser Strategie ist es, intern entwickelte und geprüfte hochwertige Mixed-Signal-IP-Cores zur Verfügung zu stellen, die für die nahtlose Integration in die CMOS-Prozesse des Unternehmens optimiert sind. Toshiba hat als IDM vollen Zugriff und volle Kontrolle über den Prozess der Halbleiterfertigung. Dies wiederum bedeutet, dass alle intern entwickelten Hard-Macro-IP-Cores vollständig kompatibel mit den zugrundeliegenden CMOS-Prozesstechnologien sind. Somit kann das IP-Design bereits ab Beginn des Entwicklungsprozesses für den abschließenden Herstellungsprozess optimiert und angepasst werden.

Die Strategie berücksichtigt jedoch auch, dass die Kunden über Toshiba's Portfolio hinaus Zugriff auf bestimmte IP von Drittanbietern benötigen. Deshalb unterliegt jegliche IP, ganz gleich ob sie von Toshiba's eigenen Spezialisten oder von einem Drittanbieter entwickelt wurde, stets denselben strengen Verifizierungsmethoden. Dazu gehören die vollständige Prüfung der IP in Zielapplikationen sowie die Validierung der Interoperabilität und Systemebenenqualität von Schnittstellensystem-IP wie USB, PCI-Express und SATA-Cores mit Hilfe von Applikations-Boards der IP-Entwicklungsteams von Toshiba. **Bild 2** zeigt den IP-Verifizierungsprozess für IP von Toshiba und Drittanbietern und **Bild 3** stellt ein Beispiel einer Signalqualitätsprüfung auf Systemebene.

Es wird sicherlich eine Reihe von Kunden geben, die ihre eigenen innovativen Mixed-

Signal-IPs entwickeln und verwenden möchten. In diesem Fall kann Toshiba ein Process Design Kit (PDK) für den benötigten Technologie-Node bereitstellen und bietet Unterstützung bei der Evaluierung, Verifizierung und Qualifizierung.

Beispiele für Mixed-Signal-IP

Ein großer Teil der Mixed-Signal-IP lässt sich in Datenkonvertierungs-IP (ADCs und DACs) und Konnektivitäts-IP aufteilen. Zu den gängigen IP-Blöcken der letzteren Kategorie zählen USB 2.0, PCI-Express, HDMI, SATA, SerDes und Mehrzweck-LVDS-I/O. Viele Unternehmen bieten darüber hinaus eine Reihe von applikationsspezifischen Konnektivitäts-IP-Blöcken an. Die ASIC & Foundry Business Unit von Toshiba hat beispielsweise vor kurzem zwei neue Mixed-Signal-IP-Cores eingeführt, die die effiziente Integration von LVDS-Transmitter- und LVDS-Receiver-Funktionalität in SoC-Designs für Flat Panel Display (FPD)-Applikationen ermöglichen. Der Dual-Link-LVDS-Transmitter (FPD-TX) und der LVDS-Receiver-Link (FPD-RX) sind Hard-Macros im Mixed-Signal-Design, die vollständig siliziumgeprüft und die TC320-ASIC-Technologie optimiert sind.

Außerhalb des Datenkonvertierungs- und Konnektivitätsbereichs gibt es Mixed-Signal-IP-Lösungen für PLLs (Phase Locked Loops) sowie für Spannungsregelung in Form von Hard-Macros für Low-Drop-Out-Spannungsregler. Chip-Designern steht außerdem eine große Auswahl an speziellen I/O-Zellen für Anwendungen wie Power-On-Reset oder speziellen, nicht standardisierten I/O-Spannungen zur Verfügung.

Gemäß dem Ziel, die Prozesstechnologie auf die Zielapplikation abzustimmen, ist die Verfügbarkeit bestimmter IP in der Regel an eine oder mehrere Prozesstechnologie-Nodes geknüpft. Bei Toshiba beispielsweise sind Hard-

Macros für PCI-Express mit 2,5 GBit/s für den 90-nm-Prozess verfügbar. Die meisten SoC-Produkte, die PCI-Express der zweiten Generation (5 GBit/s) benötigen, erfordern jedoch mindestens eine 65-nm-Prozesstechnologie. Deshalb ist die PCI-Express-IP der zweiten Generation auch für 65-nm- und 40-nm-Technologien erhältlich.

Zusammenfassung

Die Implementierung moderner, hochentwickelter SoC-Designs erfordert eine sorgfältige Prüfung der relevanten Prozesse, der digitalen Core-Processing-Technologie sowie der Verfügbarkeit der relevanten Mixed-Signal-IP. Fabless-Chip-Designern und OEMs, die Risiken minimieren und ihre Turn-Around-Time verkürzen möchten, bietet das IDM-Geschäftsmodell entscheidende Vorteile. Bei diesem Modell werden alle Aspekte des Design- und Entwicklungsprozesses – von der IP-Entwicklung bis hin zur Fertigung und Ertragsoptimierung – von einem einzelnen Unternehmen übernommen. (ih)

• Toshiba

• www.el-info.de

► Webcode: 01202

Zu den Autoren

Rainer Käse

ist Senior Manager für SoC Business Development bei Toshiba Electronics Europe.



Eugen Pfumfel

arbeitet als Manager für SoC Business Development and Solutions bei Toshiba Electronics Europe.

