

ASIC-Technologien mit Deep-Sub-Micron-Strukturen

Europa und modernste ASIC-Technologien – ein Widerspruch?

Ein ASIC-Design mit Strukturgrößen von 90 nm und darunter ist nicht »ganz billig«. Die FPGA-Hersteller erklären dementsprechend auch gerne, dass ein ASIC-Design in modernsten Technologien nur dann gerechtfertigt ist, wenn wirklich hohe Stückzahlen dahinter stehen. Aber gibt es in Europa überhaupt noch einen Zielmarkt, für den das zutrifft?

Sind in Europa modernste ASIC-Technologien überhaupt noch von Interesse? Bei welcher Technologie liegt heute der Schwerpunkt in Europa? Über welche Stückzahlen reden wir überhaupt?

... Und Rainer Käse, Senior Manager Custom SoC Unit bei Toshiba Electronics, erklärt, dass 2006 und Anfang 2007 die meisten ASICs noch mit 130-nm-Strukturen realisiert wurden, mittlerweile sind aber 90-nm-Strukturen die am meisten genutzte Technologie. »Einige 65-nm-Designs laufen auch schon«, so Käse weiter. 40 nm für ASIC-Produkte befinden sich bei Toshiba in Europa noch in der Planungs- und Promotion-Phase.

Laut Käses Aussage liegen die typischen Stückzahlen für ASICs in Europa bei 500.000 bis 5 Mio. Stück pro Jahr. Trapp sieht die Grenze für Standardzellen-ASICs sogar bei einigen Millionen Stück/Monat. Bei den Gate-Arrays, die sich durch extrem kleine Einmalkosten auszeichnen, liegen die Stückzahlen deutlich niedriger, nämlich bei zirka 50.000

Stück/Jahr. In Europa liegt Toshiba's ASIC-Schwerpunkt im Bereich Digital Consumer – wie beispielsweise TV, Bildverarbeitung, Home-Networking. Käse: »Die Produkte für Public/Optical-Telecom-Networking tragen immer noch einen nennenswerten Beitrag zum Umsatz bei, aber die Anzahl der neuen Produktstarts hat hier stark abgenommen.«

... Toshiba erwartet, dass der Markt für integrierte Home-Entertainment-Funktionen und Digital-TV in Zukunft ASICs mit kleinsten Strukturgrößen benötigen wird.

... Nachdem also auch in Europa Bedarf an kleinsten Strukturgrößen besteht, ist es interessant zu wissen, wie die Roadmaps der einzelnen Hersteller aussieht?

Toshiba Electronics

Toshiba nutzt in der Serienfertigung derzeit 65-nm-Strukturen (SIA mit einer Gate-Länge von 50 nm). Der Prozess ist sowohl für COT- als auch für Produkte, die auf der ASIC-Bibliothek basieren voll qualifiziert. Für das Design-In können COT-Kunden bereits auf 40-nm-Prozesse zurückgreifen. Laut Käse soll ab Juni 2008 auch die vorläufige ASIC-Standardzellen-Bibliothek verfügbar sein, ab Oktober 2008 gibt es dann auch die endgültige Version. Toshiba erwartet erste Tape-Outs für diese Strukturgrößen im Januar 2009 und wird aller Voraussicht nach Massenproduktionsaufträge ab Juli 2009 akzeptieren.

Käse erklärt, dass für den 40-nm-Prozess die anfängliche Core-Versorgungsspannung 1,1 V sein wird. Über Optionen von 1,0 V und/oder 0,9 V wird zurzeit noch diskutiert. Als I/O-Spannungen stehen 3,3 V, 2,5 V, 1,8 V (SerDes, DDR2) und 1,2/1,1 V (SerDes/VoltageConverter) zur Verfügung. Die Raw Gate-Density liegt bei 2,1 Mio. Gattern pro mm², die SRAM-Dichte bei zirka 4 MBit pro mm². Käse: »Ein im Consumer-Marktsegment zu verwendendes Produkt mit einer Core-Fläche von 40 mm² kann somit realistisch eine Komplexität von 20 bis 25 Mio. Gattern und bis zu 100 MBit an SRAM erreichen.« Die Taktfrequenzen hängen stark von der Architektur ab, 400 bis 500 MHz sind möglich und

werden von Toshiba als »Mainstream« erwartet. Käse: »Höhere Frequenzen als 500 MHz sind durchaus auch machbar, erfordern aber spezielle Technologie-Optionen und Implementierungsmethoden.« Auch Toshiba stellt in dieser Prozesstechnologie Standardfunktionen wie PLL, ADC/DAC, Memory-Interfaces (DDR2/3) zur Verfügung, deren Verfügbarkeit in der Einführungsphase durch die konkreten Applikationen getrieben wird.

»Als erste Produkte werden Applikations- und Co-Prozessoren für Smartphones erwartet, daher werden auch Analogfunktionen wie MIPI- und Mobile Memory Schnittstellen integriert werden können«, so Käse weiter. An Hochgeschwindigkeitsschnittstellen bietet das Unternehmen USB2.0 (480 MBit/s), PCI Express sowie ein Multirate/Multiprotokoll SerDes mit einer Datenrate bis zu 8,25 GBit/s an, laut Käse befinden sich höhere Datenraten in der Planung. An Speichertechnologien können die Entwickler auf embedded SRAM (Single Port, Multi Port) – optimiert für hohe Geschwindigkeit oder höchste Dichte –, Register-Arrays, ROM und elektrisch programmierbare Fuse-boxes (PROM/OTP) zurückgreifen. Zusätzlich steht eine Technologie zur Verfügung, bei der spezielle Speicher-Dies mittels dichter Micro-Bump-Technologie als »Stack« kombiniert werden können.

Rainer Käse,
Toshiba Electronics

» Die Micro-Bump-Technologie zeichnet sich im Vergleich zur Wire-Bond-basierten SIP-Technologie durch eine um Größenordnungen höhere Bandbreite und durch eine geringere Verlustleistung aus. Diese Technologie ist von ihren Eigenschaften und Vorteilen eher mit dem monolithisch integrierten DRAM zu vergleichen als mit der konventionellen Wire-Bond-SIP-Technologie. «



Prozessvariationen im Griff?

Mit kleiner werdenden Strukturen steigen die Prozessvariationen. Entsprechend setzen die Unternehmen auf verschiedenste Ansätze, um die Probleme in den Griff zu bekommen. So nutzt Toshiba beispielsweise für seinen 40-nm-Prozess verschiedenste Technologien, die sich auf das Substrat, Drain, Gate und »Stress« beziehen, um die Prozessvariationen und deren Effekt zu verringern. Außerdem stehen Methoden zum aktiven Management des Back-Biasing zur Verfügung.

Das Marktfenster treffen

»First time right«

Laut Rainer Käse, Senior Manager Custom SoC Unit bei Toshiba Electronics, stehen auf der Kundenseite funktionale Fehler an erster Stelle der Gründe, warum das First-time-right-Ziel nicht erreicht wird. In vielen Fällen könnten solche Fehler aber durch Software-Workaround oder Abstriche bei der funktionalen Spezifikation kompensiert werden. Auf Herstellerseite gäbe es bisweilen Probleme bei der elektrischen Spezifikation, speziell bei Mixed-Signal-IPs und deren Testmethode/Testimplementierung. Käse: »Oft sind die eigentlichen Gründe für die Fehler auf Kunden- und Herstellerseite im unzureichenden Projektmanagement und im hohen Zeitdruck auszumachen.«

Deshalb legt Toshiba als wichtigste Maßnahme zum Erreichen des First-time-right-Zieles einen hohen Stellenwert auf ein professionelles Projektmanagement. Das ganze geschieht in enger Zusammenarbeit mit dem Kunden und zwar für den gesamten Prozess, also von der Spezifikation bis zur Massenproduktionseinführung. Außerdem bietet Toshiba zur Ver-

ringerung der Wahrscheinlichkeit funktionaler Probleme intensive Unterstützung bei der Verifikation an (Formale Verifikation, RTL-Level Rule Checking, System/Highlevel Verification Support). Käse ist überzeugt, dass Toshibas umfangreiches Angebot an vorverifizierten/qualifizierten digitalen IP-Blöcken ebenfalls dazu beiträgt, dass das Silizium bereits beim ersten Durchlauf richtig funktioniert.

Um die Probleme bei den Mixed-Signal-IPs in den Griff zu bekommen, setzt Toshiba unter anderem auf die Entwicklung dieser Blöcke durch interne Teams – gegebenenfalls basierend auf 3rd-Party-Architekturen. Sicher ist aber in jedem Fall: Toshiba führt immer intern eine Evaluierung, Validierung und Qualifizierung mit Hilfe von Testchips durch. Käse: »Dabei werden sowohl die Standard-Compliance sichergestellt, als auch die Test- und Herstellbarkeit mit hoher Ausbeute unter Berücksichtigung aller erwarteten Prozessvariationen.«