

■ System on Chip:

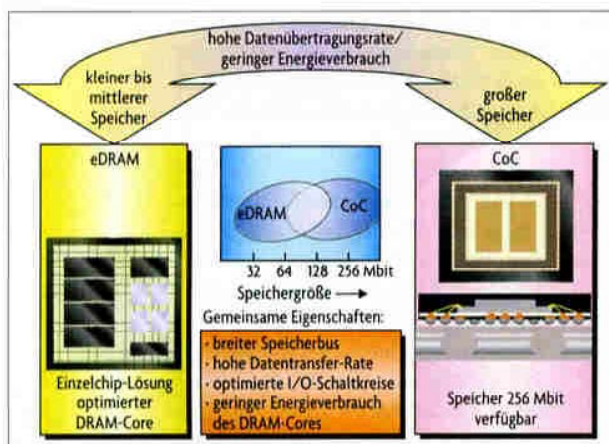
Technologien für Multimedia-Entwicklungen

Die Herausforderungen für SoC-Designer liegen nicht nur in komplexeren Software-Algorithmen, sondern auch in kürzeren Markteinführungszeiten, energiesparenden Designs und in kürzeren Änderungszyklen. Mit der Kombination aus Prozesstechnologie, IP, Speicher, Gehäusetechnik und Design-Methodologien will Toshiba dies in den Griff bekommen.

Die Dominanz software-basierter Algorithmen, die in DSP- und CPU-Cores in Massenapplikationen wie Handys und tragbaren Multimedia-Spielern abgearbeitet werden, verlangt nach immer leistungsfähigeren System-on-Chip-Designs (SoC). Der komplexe Software-Aufbau erfordert zusammen mit dem zunehmenden Datenvolumen, welches zur gemeinsamen Benutzung gespeichert und verteilt wird, nach mehr Speicher und einer breiteren An-

bindung an andere Systemkomponenten, z.B. durch schnelle serielle und parallele Double-Data-Rate-Schnittstellen (DDR). Gleichzeitig müssen die tragbaren und batteriebetriebenen Geräte mit hochintegrierten und energiesparenden Designs mit einer kleinen Platinenfläche auskommen. Die geforderten kürzeren Markteinführungszeiten fordern „First-Time-Right“-Designs, eine höhere Design-Produktivität und minimale Umsetzzeiten.

Die Lösung zur Erfüllung dieser Anforderungen liegt in der sorgfältigen Abwägung der technischen Anforderungen (Prozesse, Speicheroptionen, IP-Cores, Gehäuse) sowie der Design-Methodologien und dem Support. Dabei sollte der Fokus bei der Prozesstechnik nicht immer auf der neuesten Ultra-Sub-Micron-Technologie liegen. Den Geschwindigkeits-Vorteilen neuer Technologien stehen geringeres Risiko und schnellere Umsetzzeiten gegenüber, da bestehende und bewährte IPs zusammen mit ausgereiften Prozessen zum Einsatz kommen. Neue Ultra-Deep-Submicron-Prozesse helfen dabei, die SoC-Leistungsfähigkeit zu erhöhen. Leistungssteigerungen gehen aber mit einer höheren Leistungsaufnahme einher. Eine höhere dynamische Leistungsaufnahme lässt



eDRAM und Chip-on-Chip-Speicher (CoC) im Vergleich.

sich durch fortschrittliche Prozesse kompensieren; dünnere Oxidschichten und kleinere Transistoren erhöhen allerdings wiederum die Leckströme. Wo einst geringe Stromaufnahme und hohe Leistungsfähigkeit bei Transistoren vorherrschten, müssen Design-Teams heute abwägen, ob sie Transistoren mit niedriger oder hoher Schwellenspannung verwenden, die dann entweder eine niedrige Stand-by-Leistungsaufnahme oder eine hohe Leistungsfähigkeit aufweisen. Bei dieser Abwägung ist es möglich, einen digitalen Schaltkreis so zu justieren, dass er sowohl eine geringe Leistungsaufnahme als auch eine hohe Leistungsfähigkeit bietet. Dabei kommen Transistoren mit hoher Schwellenspannungen zum Einsatz, wenn die Geschwindigkeit nicht entscheidend ist. Bei kritischen Pfaden empfehlen sich hingegen Transistoren mit niedriger Schwellenspannung. Neben der physikalischen Herausforderung, schnelle und leistungseffi-

ziente Transistoren im Ultra-Deep-Sub-Micron-Prozess zu fertigen, verursacht die hohe Dichte an Transistoren weitere technische Barrieren. Komplexe Takterzeugung und eine dynamische Frequenz-/Spannungsskalierung sind erforderlich, um innerhalb knapper Stromversorgungsbudgets zu bleiben, ohne die Leistungsfähigkeit zu schmälern. Vor diesem Hintergrund entwickelte Toshiba seine Prozesstechnologie: Die im 65-nm-CMOS-Prozess gefertigte

TC320-ASIC-Familie mit 50 nm Gate-Länge vereint bis zu acht Kupferlagen, Low-k-Dielektrikum und eine Lage Aluminium. Gegenüber der 90-nm-Familie (TC300) bietet diese Technologie zahlreiche Vorteile: doppelte Logikdichte, 30 Prozent weniger Stromaufnahme pro Gate und eine um 20 Prozent verringerte Gate-Verzögerung. Die Multi-Threshold-Prozesstechnik erlaubt die gemeinsame Unterbringung von Logikzellen, die mit verschiedenen Schwellenspannungen betrieben werden. Fortschrittliche Energiespartechiken wie Low-Power-Flip-Flops senken die Energieaufnahme und reduzieren die Leckströme. Ein wesentlicher Anteil der Investitionen bei Toshiba geht in die Weiterentwicklung von „embedded DRAM“ (eDRAM). Ein eDRAM ist leistungsfähiger als externer Speicher und bietet ohne I/O-Einschränkungen eine höhere Speicherbandbreite und niedrigere Stromaufnahme; außerdem trägt er dazu bei, die Anschlussanzahl zu verringern und somit kleinere Gehäuse und Platinenflächen zu ermöglichen. Toshibas embedded DRAM basiert auf der selbst entwickelten Trench-Capacitor-Technologie, mit der eine höhere Speicherdichte möglich ist als mit dem herkömmlichen planaren Ansatz. eDRAM bietet einen bis zu 256 bit breiten Bus, der bei einer Taktung von 350 MHz auf eine maximale Datenrate von 11,2 Gbyte/s kommt. eDRAM auf Trench-Capacitor-Basis ist zudem äußerst robust gegen SER-Effekte (Soft Error Rate), die durch kosmische Strahlung verursacht werden. Für ASIC/SoCs, die noch höhere Speicherdichten benötigen, bietet Toshiba Semi-embedded-DRAM-Lösungen an. Diese werden in Multi-Chip-Gehäuse-

technik gefertigt und stellen ein System in Package (SiP) dar. Klassische SiPs enthalten nebeneinander und übereinander angeordnete Dies. Mit der neuen Chip-on-Chip-Technik (CoC) kann ein zweites Die, etwa ein Speicher-Die, über winzige Micro-Bumps kopfüber direkt an der Oberfläche des Logik-Dies angeschlossen werden. Daraus resultiert in einem Standardgehäuse bei gleich hoher Datenübertragungsrate eine höhere Speicherkapazität (Bild).

IP-Cores und Design-Methodologien

Für SoC- und SiP-Designs sind Zellenbibliotheken sowie digitale und Mixed-Signal-IP-Cores verfügbar. Damit können die Designs in kurzer Zeit fertiggestellt werden. Die TC320-Familie bietet synthesesfreundliche, einfache Zellen für das Design leistungsfähiger Chips mit geringer Stromaufnahme. Diese Designziele werden über einen Multi-Threshold-Prozess erreicht. Die SiP-Technik bietet eine hohe Flexibilität durch die Kombination wiederverwendbarer Mixed-Signal-IP-Blöcke im gleichen Gehäuse und im Rahmen der ausgereiften 65-nm-Prozesstechnik. Die Tabelle zeigt das IP-Angebot der TC320-Familie. Während der RTL-Synthese gewährleisten exakte Modelle mit Verzögerungsdaten einen engeren Bezug zwischen den tatsächlichen Verzögerungen vor und nach der Layout-Phase. Diese Verzögerungsinformation wird im gesamten Design-Ablauf verwendet, um das Design durch Gate-Anpassungen, eingefügte Verstärker und eine Anpassung der Verdrahtungslängen (Timing-Driven-Routing) anzupassen. Ein weiterer Effekt bei Prozesstechnologien von 90 nm und darunter ist die Zunahme der parasitären Verzögerung. Diese wird verursacht durch die kapazitiven und induktiven Elemente, die aufgrund der dünneren und dichter gepackten Leitungen auftreten. Die genaue und zuverlässige Ermittlung solcher parasitärer Erscheinungen ist in Multi-Layer-Prozessen wie dem TC320 von entscheidender Bedeutung. Bei bis zu acht Kupferlagen und einer weiteren Aluminiumlage ist die Abschätzung und Einbeziehung der Interconnect-Verzögerungen ebenso wichtig wie der Erhalt der Signalintegrität.

Eugen Pfumfelfr

IP	Anwendung
ADC	mobiles Fernsehen, Kommunikation, Video AFE
ARM	ARM7TDMI, ARM926, ARM946, ARM1136, ARM1176, Cortex-M3
ATA	SATA (Generation 1 und 2), PATA 66/100
Kryptographie	DES, Triple DES, AES, MDS, SHA-1, SHA-256, Zufallsgenerator
D/A-Wandlung	Kommunikation, Video-D/A-Wandler
Ethernet	10/100/1000-Ethernet-MAC
Fabric IP	VIC, UART, GPIO, I ² C, SPI, Timer, DMA
HDMI	HDMI (Rev 1.3), RX/TX, Quellen, Senken
Memory	DDR 2, DDR 3, XIO, SD-Karten, SmartMedia, MemoryStick Pro
MIPI	D-PHY
MIPS	TX-System-RISC-Cores (Hardmacro, synthetisierbar)
PCI	PCI Express (Generation 1 und 2), PCI 33/66
PLL	300 MHz bis 1 GHz generisch, Sigma-Delta-Fractional-PLL
USB	USB 1.1, USB 2.0 (1/2 Port), OTG, Host, Device

IP-Cores der TC320-Familie und deren Anwendungen.